



Espacenet

Bibliographic data: JP 2303022 (A)

DATTE FORMATION METAOD

Publication date: 1990-12-17

Inventor(s): BERUNAARU ODA; ROORAN SHIYANKURO +

Applicant(s): IBM +

Classification:

- **International:** G03F7/26; H01L21/027; H01L21/28; H01L21/30; H01L21/302; H01L21/3065; H01L21/3213; H01L29/78; G03F7/40; (IPC1-7): G03F7/26; H01L21/027; H01L21/302
- **European:** G03F7/26; H01L21/027B6B; H01L21/28E2B30; H01L21/3213C4B2; H01L21/3213D

Application number: JP19900097815 19900416

Priority number (s): EP19890480070 19890428

Also published as:

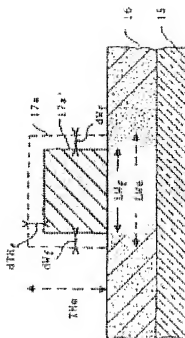
- JP 6014510 (B)
- JP 1913668 (C)
- EP 0394597 (A1)
- US 5139904 (A)

Cited documents: JP56050516 (A) View all

Abstract of JP 2303022 (A)

PURPOSE: To form a pattern having high resolution with high reproducibility by laminating a polycrystalline layer and a photoresist layer upon a substrate and reducing the sizes of the layers by etching. **CONSTITUTION:** After a thin polycrystalline silicon layer 16 and a relatively thick photoresist layer 17a are successively formed on an insulating substrate 15, a first pattern is formed. The silicon layer 16 is made of an etchable material, and a resist 17a forms a radioactive film. Then the size of the resist 17a is reduced by etching. This isotropic etching is performed under a high-pressure high-frequency condition and, during the etching operation, the reduction of the vertical size of the resist 17a is monitored by measuring the etched thickness. The horizontal size of the resist 17a is adjusted to an appropriate value by monitoring the corresponding horizontal size in correlation with the vertical size. Therefore, a second pattern which has such a desirable narrow width that can be controlled more easily than the original width can be formed, having high resolution and high reproducibility.

Last updated: 12.10.2011 Worldwide Database 5.7.23.2; 92p



⑫ 公開特許公報(A) 平2-303022

⑬ Int. Cl.⁴

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)12月17日

H 01 L 21/027
G 03 F 7/26
H 01 L 21/302

H

7124-2H
8223-5F
2104-5F

H 01 L 21/30

3 6 1 L

審査請求 有 請求項の数 4 (全12頁)

⑮ 発明の名称 バターン形成方法

⑯ 特 願 平2-97815

⑰ 出 願 平2(1990)4月16日

優先権主張 ⑱ 1989年4月28日 ⑲ 欧州特許機構(E P) ⑳ 89480070.5

㉑ 発 明 者 ベルナル・オグ フランス国91310リナ/モントレリ、アンバス・ドウ・ジ
ユーユイル38番地

㉒ 発 明 者 ローラン・シヤンクロ フランス国77930ベルテ・ザン・ガティネ、ル・ドウ・グ
ラン・ムーラン21番地

㉓ 出 願 人 インターナショナル・ アメリカ合衆国10504、ニューヨーク州 アーモンク(番
ビジネス・マシーン 地なし)

ズ・コーポレーション

㉔ 代 理 人 弁理士 頼 宮 孝一 外1名

明 細 書

1. 発明の名称 バターン形成方法

2. 特許請求の範囲

(1) 基板上に形成したエッチング可能な材料の層を含む構造中に高解像度で再現性のあるパターンを形成する方法であって、

上記の層上に放射線感受性の皮膜を形成するステップ、

上記の放射線感受性の皮膜に第1の幅の第1のパターンを描くステップ、

上記の第1のパターンを等方性エッチングを行なって、横方向及び縦方向の寸法を減少させるステップ、

エッチングした厚みを正確に測定することにより、縦方向の寸法の減少を監視するステップ、

対応する横方向の寸法の減少を相関させるステップ、及び

適切な横方向の寸法の減少が行なわれ、元の第1の幅より制御可能に小さい最終の所要の幅を有

する第2のパターンが形成されたときに、上記のエッチング・ステップを終了するステップ

を含むことを特徴とする上記の方法。

(2) 基板上に形成した層を含む構造中に高解像度で再現性のあるパターンを形成する方法であって、

上記の層に第1の幅の第1のパターンを描くステップ、

上記の第1のパターンを等方性エッチングを行なって、横方向及び縦方向の寸法を減少させるステップ、

エッチングした厚みを正確に測定することにより、縦方向の寸法の減少を監視するステップ、

対応する横方向の寸法の減少を相関させるステップ、及び

第1の幅より制御可能に小さい最終の所要の幅を有する第2のパターンが形成されたときに、上記のエッチング・ステップを終了するステップを含むことを特徴とする上記の方法。

(3) プラズマを含有し、石英のビュー・ポートを設けた処理室と、エッチングすべき構造を支持す

る半導体ウェーハを保持するサセプタとを有する、R I E 装置中でのエッチングを監視する追跡システムであって、

上記のビーム・ポートに近接し、上記のウェーハに垂直な光ファイバ手段と、

エッチング中にグロー放電によって発生する所定の化学種の1本の線を透過して特性放長を選択し、その線の強度を示し、エッチングされた厚みに応じた最大及び最小を有する可変の出力信号を発生する分光計手段と、

エッチングされた厚みを連続的に正確に測定するために、上記の出力信号を検出する手段と、

を含むことを特徴とする上記のシステム。

(4) 層上に形成したパターンからなる構造の乾式エッチングの中間終点を、上記のパターンの横方向の所要の寸法の減少が行なわれた時点で検出する方法であって、

上記のパターンをエッチング室中でエッチング媒体に露出させるステップ、

グロー放電中に発生する化学種の特性放長を選

択するステップ、

分光計によりパターンの垂直入射時の選択された放長を観察するステップ、

エッチングされた厚みを測定することにより、縦方向の寸法の減少を連続的に監視するステップ、

対応する横方向の寸法の減少を相関させるステップ、及び

上記の横方向の寸法の減少が所要の値に達したときに、上記の露出を終了させるステップを含むことを特徴とする上記の方法。

3. 発明の詳細な説明

A. 産業上の利用分野

本発明は、新型の半導体製品の製造に関するものであり、具体的には、標準のフォトリソグラフィ装置を、各種の従来の紫外線フォトリソグラフィ装置と併用して、サブミクロン級のパターンを生成させる方法に関するものである。

B. 従来の技術

半導体デバイス、たとえば短チャネル多結晶シリコン・ゲート(0.8 μ m)FETの小型化の

傾向が続く中で、これまでの大きな問題は、従来の紫外線フォトリソグラフィ装置が標準のフォトリソグラフィで達成できるよりも、幅の狭い多結晶シリコンの線を画定し、制御することである。このような従来の画像露出技術では、バリアは、約0.8 μ mと考えられ、作像したフォトリソグラフィからの転写では、これより小さい寸法のパターンは作成できない。

直接画像印刷用の高性能の露出装臈、たとえばエキシマ・レーザ及びX線装置は、動作放長が短いために注目されているが、現在のところ実際に市販されていない。X線装置に関しては、X線用のマスクや膜の製作の難しさや、X線の発生方法(主要X線源はシンクロトロンである)など未解決の問題がある。一方、エキシマ・レーザの使用は、パイロット・プラントまたは実験室規模に限られ、これまでのところ、製造ラインでの使用はまだ考えられない。

これらの欠点を除去するため、数年前に、半導体製造工程そのものを改良することを目的とする

2つの主要な技術が開発された。すなわちいわゆる「側壁画像転写」(S I T)技術、及び「多層レジスト」(M L R)技術である。どちらの技術も、乾式エッチング技術に基づき、従来の紫外線フォトリソグラフィ装置を用いて細線形状を作成するものである。乾式エッチング技術は、細線作成能力、方向性の高いエッチング(異方性)、及び良好な選択性により、精密なデバイスの作成が可能のため、急速にV L S I Cの製造で湿式エッチングに代りつつある。基本的に、乾式エッチングには、プラズマ・エッチング、高圧法、及び低圧法である反応性イオン・エッチング(R I E)が含まれる。通常の条件では、R I Eは異方性であり、エッチングされた層に垂直な断面形状を形成するが、後で述べるように、高圧で操作を行えば等方性となる。

FETを製造するためのS I T技術は、基本的に、厳密なチャネル制御により、サブミクロン級のFETデバイスを形成する一連の付着及びエッチング工程からなる。この技術によれば、線の幅

は、きわめて薄く正確なコンフォーマル層の厚みのみによって決まる。この技術の詳細は、米国特許第4430791号、第4419809号、第4419810号、4848937号各明細書に記載されている。半導体製造でSIT技術を実施するには、21もの主要ステップと、4つの特殊マスクが必要である。

MLR技術は、基本的に少なくとも2つのレジスト層と、その間のPECVD酸化物等の、耐エッチ性バリア材料の中間層の使用に基づくものである。半導体製造でMLR技術を実施するには、8つの主要なステップが必要である。MLR技術は特に米国特許第3873381号及び第4003044号明細書に記載されている。

周知のMLR技術を、多結晶シリコン・ゲートの製作等、多結晶シリコンの細線形状の確定に適用した場合について、第3A図ないし第3F図を参照して説明する。

第3A図を参照すると、その上に多結晶シリコンの層11(厚み500nm)が形成された絶縁

であればどんなものでも使用できる。次に、PECVD酸化物の薄い層を付着させる。これには、アブライド・マテリアルズ(Applied Materials)の5000型等の低温付着装置が適している。このステップの後、上部レジスト皮膜のコーティング及びベーキングを行う。次に、硬化の後、上部レジスト皮膜を、従来の紫外線フォトリソグラフィ装置で所要の形状のマスクを介して紫外線に露光する。露光した上部レジストを標準のKOH溶液で現像して、第3B図に14aで示す所要の残留部すなわちパターンを形成する。パターン14aの幅 L_{we} は、上記の装置を解像度仕様の限界で運転するとき可能な最小値、たとえば $L_{we}' = 0.8 \mu m$ にすることが好ましい。次に、下のPECVD酸化物層13をRIEエッチングして、PECVDパターン13aを面定するためのマスクとして、このパターンを使用する。好ましい運転条件は、 CHF_3 75mL、 O_2 5mL、圧力50mT(6.8Pa)、高周波電力1350Wである。次に、厚い下部フォトリソ層12中に、

基板10、及び厚い(1200nm)下部フォトリソ層12と、厚み200nmのPECVD酸化物中間層13と、薄い(600nm)上部フォトリソ層14とからなる上部多層フォトリソグラフィ・マスクを有する半導体構造を示す。CMOS FET技術では、上記の絶縁基板は半導体(たとえばシリコン)の上の、ソース拡散領域とドレイン拡散領域の間に形成された、薄いゲート二酸化シリコン(SiO_2)層とすることができる。多結晶シリコン層11を従来の付着技術により形成し、高性能のFETを得るために、細線形状すなわちパターンを形成して、所定の精密なたとえば0.6 μm の線幅のCMOS FETのゲート電極を面定する。

この多層フォトリソグラフィ・マスクを形成する方法は下記のとおりである。まず、多結晶シリコン層11を、ヘキサメチルジシラン(HMD S)等のフォトリソ接着促進剤で処理する。下部レジスト皮膜をスピン・コーティングで塗布し、乾燥する。この目的には、標準的なレジスト

垂直な壁を有する対応するパターン12aを面定するためのマスクとして、PECVDパターンを使用する。このステップは、代表的な運転条件、 O_2 50mL、 CF_4 3mL、圧力35mT(4.7Pa)、高周波電力1000Wで、RIE装置により行ない、所要の異方性を得る。少量の CF_4 の添加により、エッチ速度と清浄度が改善される。得られた構造を第3B図に示す。次のステップでは、パターン12aをRIE装置で、同じ条件すなわち O_2 50mL、 CF_4 3mL、圧力35mT(4.7Pa)、高周波電力1000Wで異方性侵食を行なって、所要の等方性エッチングを實現する。このオーバエッチングの間に、パターンの横方向の寸法が減少して、所定の量 dW' のエッチ・バイアスが得られる。この異方性エッチング・ステップは時間制御型プロセスであることに注目されたい。このステップの間に、残った上部のレジスト・パターンが除去される。このオーバエッチング・ステップの終了時に、パターンの横方向の寸法が両側で dW' ずつ減少し、第3

C図に示すように、最終的なパターン幅は LWf' となる。次に、PECVD層13aの残部を、上記と同じ運転条件で除去する。得られた構造を第3D図に示す。図では、横方向の寸法の減少後、パターン12aから得られたレジスト・パターン12a'が示されている。最後に、パターン12a'を使用して、第3E図に示すように、多結晶シリコン層11中に所要のパターン11aを異方向的に(1方向エッチング)画定する。この最後のステップは、標準として塩素化ガスを使用した各種の装置で行なわれる。レジスト・パターン12a'を剥がした後、最終的に得られる構造を第3F図に示す。上記のMLR法で形成したパターン11aは、横方向の寸法、すなわち幅 LWf' がたとえば $0.8\mu m$ で、元の寸法 LWe' の $0.8\mu m$ より小さい。第3F図で、パターン11aは、細線形状、たとえばFETのゲート電極の断面である。ただし、パターン11aは、ウェーハ基板上に同時に形成される、すべての線形のゲート電極を含む露全体の一部であることを理解され

たい。上記の製造工程を、下記の第I表に要約して示す。この場合、8つの重要なステップ、すなわち2、6、7、8、9、10があることが明らかである。

第I表

1. 前処理及び底部レジスト・コーティング
2. PECVD酸化物付着
3. 上部レジスト・コーティング
4. マスクの位置合せ及び露光
5. 現象
6. PECVD酸化物のRIEエッチング
7. 異方性レジストRIEエッチング
8. 異方性レジストRIEオーバエッチング
(時間制御)
9. PECVD酸化物除去
10. 異方性多結晶シリコンRIEエッチング
11. レジストの剝離

C. 発明が解決しようとする課題

上記のMLRに基づく方法は、本明細書の冒頭部分に述べた問題を解決するが、依然として多く

の不便さがある。この方法は、8つの重要なステップを含む多くの工程を必要とし、比較的複雑である。さらに、エッチングの間に、底部レジスト・パターン寸法を制御するためPECVD酸化物層を使用し、したがって特定の付着装置を使用する必要がある。その結果、種々の装置の使用が必要となる。全体として見ると、この方法は高価であり、製造の収率は、汚染に左右されるところが大きい。最後に、オーバエッチを行なうのは時間制御のプロセスである(第I表、ステップ8参照)。最適時間は実験的に決定され、当業者には周知のように、温度、ガス圧、流量、エッチ速度、周波数電力等、多数のプロセス・パラメータに依存する。したがって、慎重に行なっても、オーバエッチ工程は正確に制御できず、そのためこの方法では必要な精度と再現性が得られない。たとえば、最終幅 LWf' が $0.8\mu m$ の場合、精度は $\pm 0.25\mu m$ (3 σ)であり、再現性も比較的低い。

C. 発明が解決しようとする課題

本発明の目的は、標準のフォトリソグラフィ装置と、従来の紫外線フォトリソグラフィ装置を使用して、この装置で通常得られる鮮明度を上回る高解像度で再現性のあるパターンを生成する方法を提供することにある。

本発明の目的には、重要なステップ数のきわめて少ない単層レジスト(SLR)法に基づいて、高解像度で再現性のあるパターンを生成する方法を提供することも含まれる。

本発明の目的には、たとえばPECVD酸化物層等の耐エッチ性バリアの付着を避けて、高解像度で精密なパターンを生成する方法を提供することも含まれる。

本発明の目的には、細線形状またはパターンの横方向の寸法が、時間制御技術でなく、正確な厚み制御技術により画定されるという、単層レジスト法に基づいて、高解像度で再現性のあるパターンを生成する方法を提供することも含まれる。

本発明の目的には、厚みを正確に測定するため、

干渉計モードで動作する分光計の使用に基づいて、高解像度で再現性のあるパターンを生成する方法を提供することも含まれる。

本発明の目的には、等方性または異方性のエッチング工程がすべて単一のRIE装置によりその場で完了するという、単層レジスト法に基づいて、高解像度で再現性のあるパターンを生成する方法を提供することも含まれる。

D. 課題を解決するための手段

上記及びその他の目的は、本発明によれば、基板上に形成したRIEエッチング可能な材料の層上に、高解像度で再現性のあるパターンを生成する方法、及び厚みを正確に測定するための新規の監視・追跡システムによって達成される。

第1の好ましい実施例によれば、この方法は

- 上記の層上に放射線感受性の皮膜を形成するステップ、
- 上記の放射線感受性の皮膜に第1の幅(LWe)の第1のパターンを描くステップ、
- 上記の第1のパターンの等方性エッチングを

— 上記の第1のパターンの等方性エッチングを行なって、横方向及び縦方向の寸法を減少させるステップ、

— エッチングした厚み(dTH)を正確に測定することにより、縦方向の寸法の減少を監視するステップ、

— 対応する横方向の寸法の減少(dW)を相関させるステップ、及び

— 元の第1の幅(LWe)より制御可能に小さい最終の所要の幅(LWf)を有する第2のパターンが形成されたときに、上記のエッチング・ステップを終了するステップを含む。

この方法は、高解像度で再現可能なパターン、たとえば多結晶シリコンのきわめて細い線を作成する方法である。この方法の好ましい実施例によれば、(第1A図ないし1D図参照)標準の放射線感受性レジスト17の層を、基板15上に形成した多結晶シリコン層16の上に塗布する。従来の紫外線リソグラフィ装置で、フォトレジストに

行なって、横方向及び縦方向の寸法を減少させるステップ、

— エッチングした厚み(dTH)を正確に測定することにより、縦方向の寸法の減少を監視するステップ、

— 対応する横方向の寸法の減少(dW)を相関させるステップ、

— 適切な横方向の寸法の減少が行なわれ、元の第1の幅(LWe)より制御可能に小さい最終の所要の幅(LWf)を有する第2のパターンが形成されたときに、上記のエッチング・ステップを終了するステップ、及び

— 上記の第2の誘導されたパターンを、下のRIEエッチング可能な層に転写して、最終の所要のパターンを形成するステップを含む。

第2の実施例では、この方法は

- 上記のRIEエッチングが可能な材料の層に第1の幅(LWe)の第1の所要のパターンを描くステップ、

通常通り第1のレジスト・パターン17aを描く。

次にこの構造を反応性イオン・エッチング(RIE)装置内に置き、レジスト・パターンを等方的に侵食して全体の寸法を減少させる。エッチングした厚み(dTH)を干渉計技術で正確に測定し、対応する横方向の寸法減少(dW)を連続的に監視する。エッチングは、所要の最終幅(LWf)を有する第2のレジスト・パターン17a'を得るのに適した縦方向の寸法減少が行なわれた時点で停止する。次に、第2のレジスト・パターン17a'をRIEにより下の多結晶シリコン層16に異方的に転写する。最後に、上記の第2のレジスト・パターンを除去すると、所要の最終幅(LWF)を有する所要の多結晶シリコンのパターン18aが残る。これにより、線幅が0.8μmの範囲の、既知の紫外線リソグラフィ装置で最高の解像度を有するレジスト・パターンが得られる。上記の方法により、これまでより線幅の小さいレジスト・パターンが形成され、したがって線幅が0.8μmまたはさらに小さい多結晶シリコンの

線が形成される。このように線幅を小さくできることは、将来の進歩した半導体製品の開発に必要な短チャネルCMOS FET用のゲート電極の製造にとってきわめて重要である。

上記の方法のほか、本発明は、エッチングされた厚みを正確に測定するため、分光計を干渉計モードで使用するという、新規の監視・追跡システムをも開示する。

E. 実施例

本発明の方法による好ましい実施例を、第1A図ないし第1D図を参照して説明する。第1A図は、製造の中間ステップにおける半導体構造の断面の概略を部分的に示したものである。この構造は、従来の技術により、上記で第3A図を参照して説明したのと同じ仕様で形成した、薄い(500nm)多結晶シリコンの層16と、単一の比較的に厚い(1200nm)標準のフォトレジスト材料の皮膜17を有する絶縁基板15を有する。まず、従来の紫外線フォトリソグラフィ装置で適当なマスクを介して紫外線に露光してこの構造を作

成し、次に85℃で露光後ベークングを行ない、標準の方法でKOHにより現象させる。得られる構造を第1B図に示し、フォトレジスト皮膜の残部を17aで示す。露光及び現像後の代表的なパターンの寸法は、厚み $TH_e = 0.8\mu m$ 、線幅 $LW_e = 0.8\mu m$ である。第1B図から明らかなように、パターンの壁は通常の垂直な面を有する。次に、この構造を、アプライド・マテリアルズ社(Applied Materials、米国カリフォルニア州サンタ・クララ)のAME8100シリーズ、具体的には8110型等の、標準のRIE装置に入れる。この構造を等方的にエッチングしてフォトレジスト・パターン17aの全体寸法を減少させるために、標準の運転条件を大幅に変更した。実験によれば、等方性エッチングに適した運転条件は、 $O_2 97 m\bar{L}$ 、 $CF_4 3 m\bar{L}$ 、圧力100mT(13.3Pa)、電力1350Wである。このようにRIE装置を通常でない条件(高い圧力及び高周波電力)で運転することが、本発明の顕著な特徴である。

パターンの等方性エッチングの間に、厚み TH_e が横方向の寸法 LW_e と同時に減少する。パターンの厚みの減少 dTH を連続的に測定することにより、横方向の寸法の減少 dW を正確に監視することが、本発明の重要な特徴である。横方向の寸法の減少 dW を、エッチングした厚み dTH と相関させる技術は、後で詳細に説明する。横方向の寸法の減少が、エッチングした厚みの所定の値 dTH_f に相当する所要の最終値 dW_f に達すると、エッチング・ステップを終了する。得られた構造を第1C図に示す。この工程を通常通り続行し、上述のように、もう1つのRIE装置で多結晶シリコン層16の露出部分を異方的にエッチングすると、第1D図に示すような、所要の最終線幅 LW_f を有する線形の多結晶シリコン・パターン16aが残る。テгал社(Tegal Corp. 米国カリフォルニア州ベタルマ)製のTegal 1511等の最新式の乾式エッチング装置を用いると、上記のRIEエッチング・ステップを同一の装置で行なうことができる。

別の実施例を、第2A図ないし第2D図に示す。この代替例は、多結晶シリコン・スペーサの製作に使用する。最初の構造は、RIEエッチング可能な材料の層が厚い点以外は、第1A図の構造と同じである。

従来のフォトリソグラフィ技術によるマスクの位置合せ及び露光の後、第2B図に17bで示す残ったフォトレジスト・パターンを、下の多結晶シリコン層16を露出するマスク15としてその場で使用すると、パターン16bが残る。残ったフォトレジストを除去した後に得られる構造を第2C図に示す。多結晶シリコン・パターン16bの寸法を、厚み TH_e と幅 LW_e で示す(長さとは重要ではないため示していない)。次に、この構造をRIE装置に入れて、当業者には周知のように、フッ素化ガス(SF_6 、 NF_3 等)を使用して等方性エッチングを行なう。等方性エッチングの間に、パターンの厚み TH_e が、横方向の寸法 LW_e と同時に減少する。パターンの厚みの減少 dTH を連続して測定することにより、横方向の寸

法の減少 dW を正確に監視することが、本発明の重要な特徴である。所要の最終パターン幅 W_f を有する最終構造を、第2D図に示す。

下記の第II A表及び第II B表に、両実施例による本発明の方法の主要なステップを要約して示す。この場合、重要なステップは2つしかない(第II A表の4、5、第II B表の4、6)ことが明らかである。

第II A表

1. 前処理及びレジスト・コーティング
2. マスクの位置合せ及び露光
3. 現像
4. 等方性レジストRIEエッチング(厚み制御)
5. 異方性多結晶シリコンRIEエッチング
6. レジストの剝離

第II B表

1. 前処理及びレジスト・コーティング

は、サンプルからの光線を光検出器に反射させるために、狭い帯域幅の光源を使用する。回転可能な偏光フィルタを、光源と反射光の通路との両方に置く。発光強度を監視して、強度が急激に低下する時を決定する。発光分光分析(OES)は、プラズマによって発生する特性放線を有する特定の線の強度を、制御パラメータとして使用する。OESのRIEエッチングへの適用に関する詳細は、米国特許出願第4415402号明細書に記載されている。分光計のアーバチャをグロー放電の方向に向け、ウェーハを水平に置くことが重要である。これらの条件では、干渉縞は生じない。分光計は強度の変化のみを検出する。分光分析及び偏光解析はエッチングの終点の検出に有用であり、広く使用されている。分光分析及び偏光解析技術と異なり、干渉解析は、エッチングされた部分から反射される光線の強度の変化を使用する。これは正確な技術で、エッチングされた厚みを連続的に監視するために使用することができる。干渉解析は、上記のAME RIE装置で実施され

2. マスクの位置合せ及び露光

3. 現像

4. 異方性多結晶シリコンRIEエッチング

5. レジストの剝離

6. 等方性多結晶シリコンRIEエッチング

(厚み制御)

したがって、どの実施例であれ、本発明の方法は、エッチングした厚みの正確な測定により、所要の横方向の寸法の減少を注意深く監視する、等方性エッチング・ステップを含む、単層レジスト(SLR)法に基づくものである。

上記のように、パターンの厚みの減少 dTH を連続的に測定することによって、横方向の寸法の減少 dW を正確に監視することが最も重要である。乾式エッチング環境で、厚みと共に変化する上記の環境の何らかの特性を測定することにより、エッチングした厚み dTH を制御する幾つかの方法が理論的に考えられる。米国特許出願第4198281号明細書に記載されているような偏光解析法

る技術である。この装置は、通常、第4図に概略を示した干渉計システム18及びエッチング・システム19を備えている。エッチング・システム19は、基本的に、複数の処理すべきウェーハ22を保持する六極管形のサセプタ21を取り囲むエッチ処理室20から構成されている。処理室には2つの石英のビュー・ポートすなわちのぞき窓23A、23Bがある。その1つは干渉計システムが使用し、他の1つは目視による観察のために使用する。第4図では、干渉計システムは18で示す。ヘリウム・ネオン・レーザ等のレーザ24が、単色放射光線25Aを発生し、それがビュー・ポート23Aを通してウェーハを垂直に照射する。反射した光線25Bは、基本的にフォトダイオードから構成される干渉計27に供給される。ビーム・スプリッタ26A及びミラー26Bを使って、入射光及び反射光を適切に運ぶ。次に、測定技術の基本を簡単に説明する。好ましい操作モードでは、のぞき窓からチップの一部分の大きさに相当するウェーハの領域が見える。したがって、フォ

トレジスト皮膜と下の多結晶シリコン層(第1A図ないし第1D図参照)が観察できることが保証される。光線間の位相差は、フォトリソグラフィの厚みと、皮膜及び層の屈折率の関数である。したがって、干渉が生じ、位相差の大きさに応じて、全反射エネルギーの強度が増大または減少する。エッチ工程が進むにつれて層の厚みが減少するため、そこから反射されるエネルギーの強度が周期的に変化する。これを一般に干渉縞の運動という。垂直入射の場合、次の極小値は、1周期 T の間にエッチングされる厚みに相当する距離だけ離れている。

第5図の曲線Cは、波長が $\lambda = 632.8 \text{ nm}$ のHeNeレーザで得られる、フォトダイオード27が発生する出力信号の強度と時間の関係を示す。各周期 $T = 120 \text{ sec}$ はエッチングした厚み $dTH = 0.17 \mu\text{m}$ に相当する。周期のように、精度を上げるには、半周期(曲線の最大値)を使って、上記の出力信号を誘導する。第4図の18に示すシステムは、本発明の方法を実施する

には、十分正確ではない。もちろん、これより波長の短い他のレーザも使用できるが、大きいスペースを必要とし、製造環境には好都合ではない。さらに、HeNeレーザは、上述のように、チップの所定の局所領域に正確に位置合わせをする必要がある。エッチングの終点を決めるために使用するHeNeレーザ干渉計は、プラズマ・エッチング中の各エッチ周期ごとに厚みの侵食を制御することができるが、このレーザは波長が固定で長いいため、正確な測定には適当ではない。実際に、エッチングした厚みを良好に制御するには、少なくとも1周期をカバーする必要がある。

適当なシステムが得られないため、本発明者等は、干渉計モードで動作する標準的分光計を使用して、新規の正確な追跡・監視システムを開発した。

本発明によれば、分光計をはじめ干渉計として使用して、所要の最終厚み(THf)に、したがって横方向の寸法すなわち幅(Lwf)に達するまで、レジストの部分的除去を制御することが

開示される。本発明の方法のオーバーエッチ・ステップの監視、たとえば第1の実施例の第IIA表のステップ4の監視用の有効な追跡システムの詳細も第4図に示されている。第4図で、追跡システムは28で示されている。本発明では、もはや中間PECVD酸化物層(第3A図の13)は存在しないため、干渉解析法が使用できる。処理室中のプラズマがグロー放電、すなわち短波長が得られる光源を形成する。ある条件では、一部の線が干渉を起こす。プラズマによって発生するグロー放電が、ビュー・ポートを通して観察できる。このように、光学的分光計が干渉計として使用できる。エッチング工程の間に室内で生成する各種の化学種によって発生される放射線を運ぶために、ファイバ・プロープ29をビュー・ポート23Bに接続する。実際には、本発明の追跡システム28は、標準のシステム18にとって代り、ビュー・ポートを使用するが、他方のビュー・ポートは目視による観察のために残される。運ばれた放射線は、モータ駆動のモノクロメータ30が受け取り、

監視すべく選択した波長を除くすべての波長を除去する。次に、選択した特性放射線を検出器31が受け取る。検出器31は、低ノイズ型のダイオード検出器でもよいが、増幅器を備えた低ノイズ型の光電子増倍管が好ましい。モノクロメータ30と検出器31は一体化して、分光計32、たとえばソフィー社(Sofie Inst. フランス、アルパジョン)のSD20型となっている。これは広範囲のスペクトルにわたって調整でき、本発明の場合、 308.8 nm のCO線をまたぐように調整する。分光計32からのアナログ信号はA/Dコンバータ33に供給され、次いでコンピュータ34に入力される。分光計32からの信号は、監視された化学種の放射線の強度を表す。チャート・レコーダ35が、コンピュータに接続されている。コンピュータはまた、モータ36及びエッチ・システム19を、それぞれ制御線37、38を介して制御する。コンピュータ34は、処理されたディジタル信号を受け取り、チャート・レコーダ35によって再生される放射線の強度のグラフを出力

する。第1の実施例について行なった実験結果によれば、第1C図の多結晶シリコン膜18上のフォトリソスト・パターン17aのエッチング中に監視される化学種は、一酸化炭素COである。垂直な入射で出力信号の最大値及び最小値(ゼロとの交点)を有する干渉計様のレーザ効果を得るために、光ファイバをウェーハに対して垂直に接続することが重要である。たとえば上記の米国特許第4415402号明細書等の従来の技術に教示されているように、それが平行な場合、強度と時間との関係は、連続した曲線のみが記録される。実験による、1周期にエッチングされた厚みdTHを下記の第III表に示す。

第III表

$\lambda = 519.8 \text{ nm}$ (CO線)	$dTH = 0.15 \mu\text{m}$
$\lambda = 313.5 \text{ nm}$ (")	$dTH = 0.10 \mu\text{m}$
$\lambda = 309.8 \text{ nm}$ (")	$dTH = 0.08 \mu\text{m}$

光線の波長が短いほど、1周期当たりの厚みは

Tは、1周期の時間である。

フォトリソストのエッチ速度は、連続した最小値間の観察時間すなわち周期Tを用いて決定でき、SEMの断面で確認することができる。エッチ速度が分れば、エッチングされた厚みdTHを連続的に計算することができる。

$$dTH = ER \times t$$

上式で、tは経過した時間である。

1周期の時間とエッチングされる厚みとの関係が確立されると、横方向の寸法の減少を制御することは容易である。

水平対垂直のエッチ比ERRhvは、

$$ERRhv = ERh / ERv$$

上式で、ERvは垂直方向のエッチ速度、ERhは水平方向のエッチ速度である。

一般に、ERRhvは1に近いが(理想的な等方性の場合は、ERRhv=1)、実際には正確な監視が必要であり、真のERRhvは予備実験によって決定しなければならない。基本的には、ERRhvは、主としてパターン・ファクタ、た

小さくなり、したがって厚みの増分及び監視される精度が増す。高精度のエッチング制御により、線幅の減少がうまく制御できる。適切な線(または波長)を用いると、各周期中にきわめて小さいステップで線幅LWfの制御が可能になる。

第5図は、精度を上げるために最短のCO放射線を使用した場合の、強度と時間の関係を示す曲線Cである。

最終のエッチングした厚みdTHfは、下記の計算による最終の所要の線幅LWfと正確に対応する。エッチ速度ERを求める式は下記のとおりである。

$$ER = (\lambda / 4nT)$$

上式で、λは、HeNeレーザ源(λ=632.8nm)が発生する単色放射線、またはグロー放電中の選択した線(たとえば最短のCO線からのλ=309.8nm)の波長、nは、エッチングされる材料、たとえばフォトリソストの屈折率で、膜の厚み及び波長に依存し、たとえばTHf=1μm、λ=309.8nmの場合、n=1.8、

たとえばフォトリソスト膜によって被覆されたウェーハの割合等に依存し、0.5~0.75の範囲である。パターン・ファクタは、実際にはマスクから得られる。

dTH×ERRvhは、片側の横方向寸法の減少dWを表し、したがって全体の減少はその2倍になる。工程終了時には、

$$LWf = LWo - 2dW$$

$$= LWo - (2 \times dTHf \times ERRvh)$$

となる。この計算を用いると、連続的な線幅の制御が可能になり、最終の所要の線幅LWfが得られる。

要約すれば、干渉測定のために、標準のRIE装置にHeNeレーザ源を設ける。しかし、波長が比較的に長い(λ=632.8nm)、システム18によるエッチングした厚み(dTH)の測定は精度が十分ではない。第5図は、dTH=0.17μmに相当する約120秒の周期T'を示す曲線Cである。本発明者等は、エッチング工程中にグロー放電により自然に発生する放射線は、

波長が短いだけでなく、ある条件下では干渉縞を形成することを発見した。その結果、第4図に28で示す本発明の追跡・監視システムは、既知のシステムより精度はるかに高い。第5図では、曲線Cは、最短のCO線($\lambda=309.8\text{nm}$)で得られる干渉を表す。このCO線を用いると、エッチングした厚みを $d\text{TH}=0.08\mu\text{m}$ と薄くし、対応する周期Tを約80秒($T=T'$ の約半分)にすることができる。その結果、本発明の方法により、線幅が800nm、精度が3 μm で±180nmの多結晶シリコン線を形成することができる。

F. 発明の効果

本発明による、MLR技術でなくSLR技術に基づく、高解像度で再現性のあるパターンを作成する方法の利点は下記の通りである。

- 工程が簡単で安価となり、従来の11ステップから8ステップに短縮される。重要なステップが従来の6つに対し、2つである。
- PECVD付着を必要とせず、高価なPEC

VD装置を使用しなくてもよくなり、干渉解析法が使用できる。

- 異物による汚染やレジストのピンホールの影響を受けにくい。
- ステップ4及び5(第IIA表)を、Toga 11511など単一のRIE装置1台で行なうことができる。
- タイマの代りに、精密な干渉測定に基づく正確な現場でのプロセス制御の監視により、従来より解像度が高く精密なパターンが得られる。
- エッチングの均一性が改善される。
- 再現性がある。

一般に、本発明の方法は、他の材料(たとえば酸化物、金属等)、他の工程(たとえば自己整合プロセス用のレジストのエッチ・バック)、その他の用途にも使用することができる。

さらに、ウェーハのバッチ全体のエッチングの終点をより正確に決定するためのアルゴリズムが開発可能である。

4. 図面の簡単な説明

第1A図ないし第1D図は、単層レジスト(SLR)技術に基づく、本発明の方法の第1の好ましい実施例によるサブミクロン級の多結晶シリコン・ゲートの製造の詳細を示す図である。

第2A図ないし第2D図は、本発明の第2の好ましい実施例によるサブミクロン級の多結晶シリコン・ゲート(またはスペーサ)の製造の詳細を示す図である。

第3A図ないし第3F図は、多層レジスト(MLR)技術に基づく方法による、サブミクロン級の多結晶シリコン・ゲートの製造の詳細を示す図である。

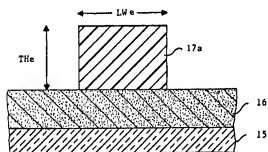
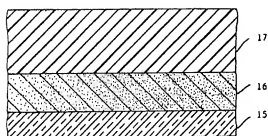
第4図は、従来の干渉計、及び本発明の新規な分光計に基づく追跡システムを備えた、上記の方法を実施するための標準のRIE装置を示す図である。

第5図は、従来の干渉計、及び本発明の追跡システムにより発生する代表的な出力信号を示すグラフである。

15...絶縁基板、18...多結晶シリコン皮膜、17...フォトリソレジスト皮膜、18...干渉計システム、19...エッチング・システム、20...エッチ処理室、21...サセプタ、22...ウェーハ、23A、23B...ビーム・ポート、24...レーザ、26A...ビーム・スプリッタ、26B...ミラー、27...フォトダイオード、28...追跡システム、29...ファイバ・プロプ、30...モノクロメータ、31...検出器、32...分光計、34...コンピュータ、35...チャート・レコーダ。

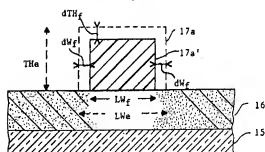
出願人 インターナショナル・ビジネス・マシーンズ・コーポレーション
代理人 弁理士 朝 宮 孝 一
(外1名)

第 1 A 図

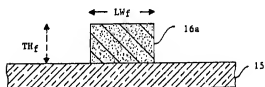


第 1 B 図

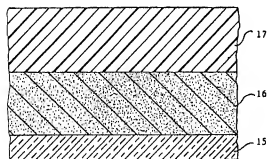
第 1 C 図



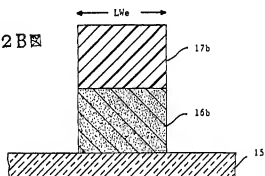
第 1 D 図



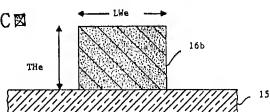
第 2 A 図



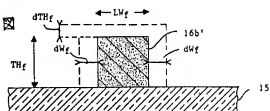
第 2 B 図

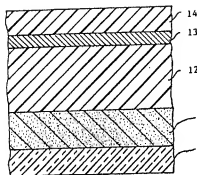


第 2 C 図

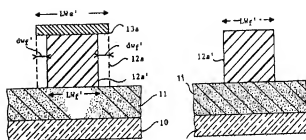


第 2 D 図

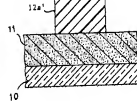




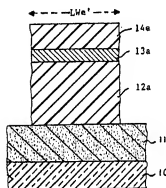
第3A図



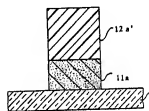
第3C図



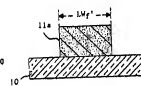
第3D図



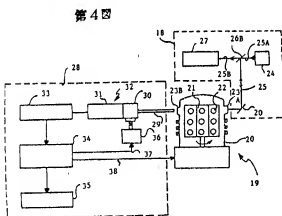
第3B図



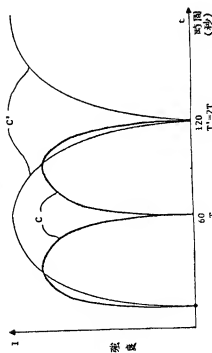
第3E図



第3F図



第4図



第5図